



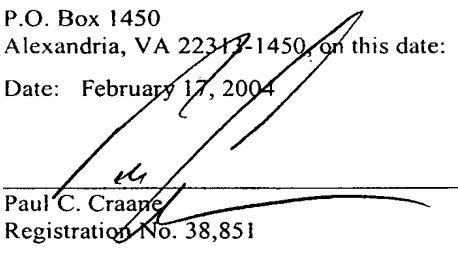
PATENT
30169/30001

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s) : Schaefer et al.
Ser. No. : 10/668,683
Filed : September 23, 2003
Title : Circuit Device With Clock
Pulse Detection Facility
Art Unit : 2816
Examiner : Not Yet Assigned

) I hereby certify that this paper is being
) deposited with the United States Postal
) Service as First Class Mail, postage prepaid,
) in an envelope addressed to:

) MS Missing Parts
) Commissioner for Patents
) P.O. Box 1450
) Alexandria, VA 22313-1450, on this date:
) Date: February 17, 2004

) 
) Paul C. Craane
) Registration No. 38,851

TRANSMITTAL OF PRIORITY DOCUMENT

MS Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

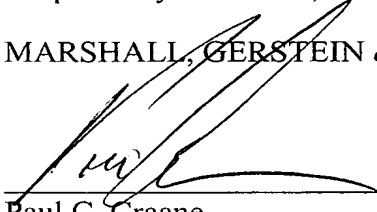
A certified copy of Patent Application No. 102 44 400.5, filed on September 24, 2002 in Germany, from which the present application claims priority under 35 U.S.C. §119, is enclosed.

Respectfully submitted,

MARSHALL, GERSTEIN & BORUN LLP

Date: February 17, 2004

By:


Paul C. Craane
Registration No. 38,851
6300 Sears Tower
233 South Wacker Drive
Chicago, Illinois 60606-6357
(312) 474-6300



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 44 400.5

Anmeldetag: 24. September 2002

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: Schaltungsanordnung mit Taktsignal-
Ermittlungs-Einrichtung

IPC: G 11 C 11/4063

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 02. Oktober 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Ebert

Beschreibung

Schaltungsanordnung mit Taktsignal-Ermittlungs-Einrichtung

- 5 Die Erfindung betrifft eine Schaltungsanordnung gemäß Oberbegriff des Anspruchs 1, sowie ein Halbleiter-Bauelement mit einer derartigen Schaltungsanordnung.

Bei Halbleiter-Bauelementen, insbesondere bei
10 Speicherbauelementen wie - z.B. auf CMOS-Technologie beruhenden - DRAMs (DRAM = Dynamic Random Access Memory bzw. dynamischer Schreib-Lese-Speicher) werden - zur zeitlichen Koordination der Verarbeitung bzw. Weiterschaltung der Daten - sog. Taktsignale verwendet.

15 Bei herkömmlichen Halbleiter-Bauelementen wird dabei i.A. ein - auf einer Einzel-Leitung anliegendes - Einzel-Taktsignal eingesetzt (d.h. ein sog. „single ended“-Taktsignal).

20 Die Daten können dann z.B. jeweils bei der ansteigenden Taktflanke des Einzel-Taktsignals weitergeschaltet werden (oder alternativ z.B. jeweils bei der abfallenden Einzel-Taktsignal-Flanke).

5 Des weiteren sind im Stand der Technik bereits sog. DDR-Bauelemente, insbesondere DDR-DRAMs bekannt (DDR-DRAM = Double Data Rate - DRAM bzw. DRAM mit doppelter Datenrate).

Bei DDR-DRAMs werden - statt eines einzelnen, auf einer
30 Einzel-Leitung anliegenden Taktsignals („single ended“-Taktsignal) - zwei auf zwei getrennten Leitungen anliegende, differentielle, inverse Taktsignale verwendet.

Immer dann, wenn z.B. das erste Taktsignal der beiden
35 Taktsignale von einem Zustand „logisch hoch“ (z.B. einem hohen Spannungspegel) auf einen Zustand „logisch niedrig“ (z.B. einen niedrigen Spannungspegel) wechselt, ändert das

zweite Taktsignal - im wesentlichen gleichzeitig - seinen Zustand von „logisch niedrig“ auf „logisch hoch“ (z.B. von einem niedrigen auf einen hohen Spannungspegel).

- 5 Umgekehrt ändert immer dann, wenn das erste Taktsignal von einem Zustand „logisch niedrig“ (z.B. einem niedrigen Spannungspegel) auf einen Zustand „logisch hoch“ (z.B. einen hohen Spannungspegel) wechselt, das zweite Taktsignal (wiederum im wesentlichen gleichzeitig) seinen Zustand von
10 „logisch hoch“ auf „logisch niedrig“ (z.B. von einem hohen auf einen niedrigen Spannungspegel).

- 15 In DDR-DRAMs werden die Daten sowohl bei der ansteigenden Flanke eines entsprechenden Taktsignals, als auch bei der abfallenden Flanke des jeweiligen Taktsignals weitergeschaltet.

- 20 Damit erfolgt in einem DDR-DRAM die Weiterschaltung der Daten häufiger bzw. schneller (insbesondere doppelt so häufig, bzw. doppelt so schnell), wie bei entsprechenden, herkömmlichen DRAMs mit Einzel- bzw. „single ended“ - Taktsignal - d.h. die Datenrate ist doppelt so hoch, wie bei entsprechenden, herkömmlichen DRAMs.

- 25 DDR-DRAMs weisen zwei Taktanschlüsse auf, wobei beim normalen Arbeits-Betriebs-Modus des DRAMs - von einem externen Taktsignal-Geber - an den ersten Taktanschluß das o.g. erste Taktsignal angelegt wird, und an den zweiten Taktanschluß - ebenfalls durch den externen Taktsignal-Geber - das o.g.
30 zweite, zum o.g. ersten Taktsignal inverse Taktsignal.

- Wird das DRAM - vor der eigentlichen Inbetriebnahme - z.B. mit Hilfe eines speziellen, externen Testgeräts getestet (d.h. statt im o.g., normalen Arbeits-Betriebs-Modus in einem
35 Test-Modus betrieben), werden die entsprechenden Taktsignale - statt vom o.g. externen Taktsignal-Geber - vom externen

Testgerät bereitgestellt, und an die entsprechenden DRAM-Anschlüsse angelegt.

Dabei können vom Testgerät entweder - den o.g.
5 differentiellen Taktsignalen entsprechende - differentielle Taktsignale an den entsprechenden ersten und zweiten Taktanschluss des DDR-Bauelements angelegt werden, oder es kann vom jeweiligen Testgerät lediglich ein Einzel- bzw. „single ended“-Test-Taktsignal ausgegeben werden, welches
10 einem bei einem herkömmlichen, nur ein Einzel-Taktsignal verwendenden Bauelement eingesetzten Einzel-Test-Taktsignal entspricht.

Dieses Einzel-Test-Taktsignal wird z.B. lediglich an den
15 ersten Taktanschluß des Bauelements angelegt (am zweiten Bauelement-Taktanschluß liegt dann kein (Test-)Taktsignal an, sondern z.B. eine Spannung V_{ref} ; diese Spannung wird zum Betrieb des DDR-DRAMs benötigt, d.h. muß vom Testgerät geliefert werden, und kann beim Test auch an den zweiten
20 Taktanschluß angelegt werden).

Durch die Verwendung eines Einzel-Test-Taktsignals (statt der o.g. zwei inversen Test-Taktsignale) können beim jeweils eingesetzten Testgerät Testkanäle eingespart werden.

25 Außerdem kann erreicht werden, dass zum Test eines zur Verwendung differentieller Taktsignale vorgesehenen DDR-DRAMs ein zum Test eines herkömmlichen, ein Einzel-Taktsignal verwendenden Bauelements vorgesehenes Testgerät verwendet
30 werden kann (oder ein einem solchen Testgerät entsprechendes bzw. ähnliches Testgerät).

Die Erfindung hat zur Aufgabe, eine neuartige
Schaltungsanordnung zur Verfügung zu stellen, sowie ein
35 neuartiges Halbleiter-Bauelement.

Sie erreicht dieses und weitere Ziele durch die Gegenstände der Ansprüche 1 und 10.

Vorteilhafte Weiterbildungen der Erfindung sind in den
5 Unteransprüchen angegeben.

Gemäß einem Grundgedanken der Erfindung wird eine Schaltungsanordnung bereitgestellt, welche mindestens einen Anschluß aufweist, an welchen ein Taktsignal angelegt werden
10 kann, wobei die Schaltungsanordnung außerdem eine Taktsignal-Ermittlungs-Einrichtung aufweist zum Ermitteln, ob am Anschluß ein Taktsignal (/CLK, /CLK_T) anliegt (oder - insbesondere -, ob am Anschluß kein Taktsignal (/CLK, /CLK_T) anliegt).

15 Besonders vorteilhaft weist die Schaltungsanordnung - außer dem o.g. (ersten) Anschluß - mindestens einen weiteren Anschluß auf, an welchen ein weiteres Taktsignal (CLK, CLK_T) angelegt werden kann, wobei durch das Ermitteln, ob am
20 (ersten) Anschluß ein Taktsignal (/CLK, /CLK_T) anliegt (oder nicht), ermittelt wird, ob an den Anschlüssen differentielle Taktsignale (CLK, CLK_T; /CLK, /CLK_T) anliegen, oder - am weiteren Anschluß, nicht aber am (ersten) Anschluß - ein Einzel-Taktsignal (CLK, CLK_T).

25 Vorzugsweise kann abhängig davon, ob ermittelt wird, dass ein Einzel-Taktsignal, oder differentielle Taktsignale am weiteren Anschluß bzw. an den Anschlüssen anliegen, z.B. eine - speziell - für Einzel-Taktsignale oder eine - speziell -
30 für differentielle Taktsignale ausgelegte Takt-Weiterleitungs-Einrichtung verwendet bzw. aktiviert werden, die die am weiteren Anschluss bzw. an den Anschlüssen anliegenden Taktsignale empfängt, und (z.B. entsprechend re-timed, und/oder re-shaped, und/oder re-amplified) an weitere
35 im jeweiligen Bauelement vorgesehene Schalt-Einrichtungen weiterleitet.

Im folgenden wird die Erfindung anhand eines Ausführungsbeispiels und der beigefügten Zeichnung näher erläutert. In der Zeichnung zeigt:

5

Figur 1 eine schematische Darstellung einer Taktsignal-Ermittlungs-Einrichtung aufweisenden Schaltungsanordnung gemäß einem Ausführungsbeispiel der vorliegenden Erfindung;

10

Figur 2 eine schematische Darstellung des zeitlichen Verlaufs der bei der Taktsignal-Ermittlungs-Einrichtung gemäß Figur 1 verwendeten Referenzspannung, und des zu ermittelnden Taktsignals.

15

In Figur 1 ist eine schematische Darstellung einer Schaltungsanordnung 1 mit einer Taktsignal-Ermittlungs-Einrichtung 2 gemäß einem Ausführungsbeispiel der vorliegenden Erfindung gezeigt.

20

Die Schaltungsanordnung 1 kann z.B. in ein Halbleiter-Bauelement eingebaut sein, z.B. in ein - auf CMOS-Technologie beruhendes - DRAM-Speicherbauelement (DRAM = Dynamic Random Access Memory bzw. dynamischer Schreib-Lese-Speicher).

25

Beim DRAM-Speicherbauelement kann es sich z.B. um ein DDR-DRAM (DDR-DRAM = Double Data Rate - DRAM bzw. DRAM mit doppelter Datenrate) handeln.

30

Dieses weist zwei Taktanschlüsse 3a, 3b auf, wobei - beim normalen Arbeits-Betriebs-Modus des DRAMs - an den ersten Taktanschluß 3a ein - von einem externen Taktsignal-Geber, d.h. von außen her stammendes - erstes Taktsignal CLK angelegt wird, und an den zweiten Taktanschluß 3b - ebenfalls durch den externen Taktsignal-Geber - ein zweites Taktsignal /CLK.

35

Bei den beiden Taktsignalen CLK und /CLK handelt es sich z.B. um sog. differentielle, d.h. inverse Taktsignale: Immer dann, wenn z.B. das erste Taktsignal CLK von einem Zustand „logisch hoch“ auf einen Zustand „logisch niedrig“ wechselt, wechselt das zweite Taktsignal /CLK – im wesentlichen gleichzeitig – seinen Zustand von „logisch niedrig“ auf „logisch hoch“.

Umgekehrt wechselt immer dann, wenn das erste Taktsignal CLK von einem Zustand „logisch niedrig“ auf einen Zustand „logisch hoch“ wechselt, das zweite Taktsignal /CLK – im wesentlichen gleichzeitig – seinen Zustand von „logisch hoch“ auf „logisch niedrig“.

Die o.g. doppelte Datenrate (- gegenüber herkömmlichen, nur ein einzelnes Taktsignal CLK verwendenden Bauelementen -) wird im DDR-DRAM dadurch erreicht, dass die jeweiligen Daten – innerhalb des DDR-DRAMs – nicht nur bei der ansteigenden Taktflanke eines Taktsignals (z.B. des o.g. Einzel-Taktsignals CLK) weitergeschaltet werden, sondern auch bei der abfallenden Flanke des Taktsignals CLK – d.h. doppelt so häufig, wie bei herkömmlichen DRAMs mit Einzel- bzw. „single ended“ - Taktsignal CLK.

Wird das DDR-DRAM – statt im o.g., normalen Arbeits-Betriebs-Modus – in einem Test-Modus betrieben (bei welchem das DRAM – z.B. von einem speziellen, externen Testgerät 4 – getestet wird), werden die entsprechenden Taktsignale – statt vom o.g. externen Taktsignal-Geber – vom externen Testgerät 4 angelegt.

Dabei können vom Testgerät 4 entweder – den o.g. differentiellen Taktsignalen CLK, /CLK entsprechende – differentielle Test-Taktsignale CLK_T , $/CLK_T$ ausgegeben werden (wobei z.B. über eine erste Leitung 5a ein – dem o.g. ersten Taktsignal CLK entsprechendes – erstes Test-Taktsignal CLK_T an den ersten Taktanschluss 3a angelegt wird, und z.B. über

eine zweite Leitung 5b (in Figur 1 gestrichelt dargestellt) an den zweiten Taktanschluss 3b ein - dem o.g. zweiten Taktsignal /CLK entsprechendes - (zum ersten, vom Testgerät 4 angelegten Test-Taktsignal CLK_T inverses) zweites Test-Taktsignal / CLK_T).

Alternativ kann vom Testgerät 4 lediglich ein Einzel- bzw. „single ended“-Test-Taktsignal CLK_T ausgegeben werden (entsprechend einem bei einem herkömmlichen, nur ein einzelnes Taktsignal CLK („single ended“-Taktsignal) verwendenden Bauelement eingesetzten Einzel-Test-Taktsignal). Dieses Einzel-Test-Taktsignal CLK_T wird dann entsprechend wie in Figur 1 dargestellt über die o.g. erste Leitung 5a an den ersten Taktanschluss 3a des Bauelements angelegt - am zweiten Bauelement-Anschluß 3b liegt dann kein (Test-) Taktsignal an.

Durch die Verwendung eines Einzel-Test-Taktsignals CLK_T (statt der o.g. zwei inversen, differentiellen Test-Taktsignale CLK_T , / CLK_T) können beim jeweils eingesetzten Testgerät 4 Testkanäle eingespart werden, und/oder es kann zum Test eines (eigentlich) zur Verwendung differentieller Taktsignale vorgesehenen DDR-DRAMs ein zum Test eines herkömmlichen, ein Einzel-Taktsignal verwendenden Bauelements vorgesehenes Testgerät 4 verwendet werden (oder ein zu einem solchen Testgerät 4 entsprechend ähnliches - z.B. nur leicht umgebautes - Testgerät).

Mit der in Figur 1 gezeigten Schaltungsanordnung 1 (insbesondere mit deren Taktsignal-Ermittlungs-Einrichtung 2) wird ermittelt, ob am Bauelement, insbesondere an dessen zweiten Taktanschluss 3b, das o.g. Taktsignal /CLK bzw. Test-Taktsignal / CLK_T anliegt, oder nicht.

Aus der Tatsache, dass am zweiten Taktanschluss 3b das o.g. Taktsignal /CLK bzw. Test-Taktsignal / CLK_T anliegt, kann geschlossen werden, dass am Bauelement insgesamt - insbesondere an dessen Taktanschlüssen 3a, 3b -

differentielle Taktsignale anliegen (insbesondere das o.g. Takt- bzw. Test-Taktsignal CLK bzw. CLK_T am ersten Taktanschluss 3a, und das o.g. - hierzu inverse - Takt- bzw. Test-Taktsignal /CLK bzw. /CLK_T am zweiten Taktanschluss 3b).

5

Demgegenüber kann aus der Tatsache, dass am zweiten Taktanschluss 3b kein Taktsignal /CLK bzw. Test-Taktsignal /CLK_T anliegt, geschlossen werden, dass am Bauelement insgesamt ein Einzel-Taktsignal anliegt (insbesondere - am ersten Taktanschluss 3a - das o.g. Einzel-Takt- bzw. Einzel-Test-Taktsignal CLK bzw. CLK_T).

10

Wird das DDR-Bauelement in Betrieb genommen (d.h. wechselt das Bauelement von einem Zustand „power off“ auf einen Zustand „power on“), wird die Schaltungsanordnung 1 freigegeben. Hierzu wird an einer Leitung 6 ein „logisch hohes“ Schaltungsanordnungs-Freigabe-Signal EN angelegt (bzw. das Schaltungsanordnungs-Freigabe-Signal EN wechselt seinen Zustand von „logisch niedrig“ auf „logisch hoch“).

15

20

Des weiteren wird - ebenfalls bei Inbetriebnahme des DDR-Bauelements - der Zählstand Z einer Zähl-Einrichtung 7 (hier: ein Dual-Zähler) auf einen Anfangswert (hier: einen Zählstands-Anfangs-Wert $Z_0 = 0$) zurückgesetzt. Hierzu wird an einer Leitung 8 - kurzzeitig - ein „logisch hohes“ Zähler-Rücksetz-Signal RESET angelegt (bzw. das Zähler-Rücksetz-Signal wechselt seinen Zustand von „logisch niedrig“ auf „logisch hoch“ (und dann wieder von „logisch hoch“ auf „logisch niedrig“)).

25

30

Die Zähl-Einrichtung 7 ist so aufgebaut, dass diese bei einem Zählstand Z von „Null“ (d.h. beim Zählstands-Anfangs-Wert $Z_0 = 0$) ein „logisch niedriges“ Signal am Ausgang der Zähl-Einrichtung 7 ausgibt.

35

Der Ausgang der Zähl-Einrichtung 7 ist über eine Leitung 9 mit dem Ausgang 10 der Schaltungsanordnung 1 verbunden (an

dem somit - ebenfalls - ein „logisch niedriges“ Signal OUTPUT ausgegeben wird).

5 Außer an den Ausgang 10 der Schaltungsanordnung 1 ist die Leitung 9 (und damit der Ausgang der Zähl-Einrichtung 7) noch über eine Leitung 11 an den Eingang eines Inverters 12 angeschlossen.

10 Wird - wie oben erläutert - nach Inbetriebnahme des DDR-Bauelements, und nach dem Zurücksetzen der Zähl-Einrichtung 7 von dieser ein „logisch niedriges“ Signal ausgegeben - und über die Leitungen 9 und 11 an den Eingang des Inverters 12 angelegt -, gibt dieser an seinem Ausgang ein invertiertes, d.h. „logisch hohes“ Signal /OUTPUT aus.

15 Das „logisch hohe“ Signal /OUTPUT wird über eine Leitung 13 an einen ersten Eingang eines UND-Schalt-Glieds 14 angelegt, an dessen zweiten Eingang - über die Leitung 6 - das o.g. Schaltungsanordnungs-Freigabe-Signal EN angelegt wird.

20 Nur dann, wenn (- wie nach Inbetriebnahme des DDR-Bauelements, und Zurücksetzen der Zähl-Einrichtung 7 der Fall -) sowohl das - über die Leitung 13 zugeführte - Signal /OUTPUT, als auch das - über die Leitung 6 - zugeführte Schaltungsanordnungs-Freigabe-Signal EN in einem Zustand 25 „logisch hoch“ sind, wird am Ausgang des UND-Schalt-Glieds 14 ein „logisch hohes“ Signal ausgegeben, welches über eine Leitung 15 dem Gate eines n-Kanal-Feldeffekttransistors 18 zugeführt wird (hier: ein n-Kanal-MOSFET 18).

30 Wie in Figur 1 gezeigt ist, ist der Drain des n-Kanal-Feldeffekttransistors 18 über eine Leitung 19 an die Versorgungsspannung angeschlossen, und die Source über eine Leitung 20 an den Drain eines (weiteren, mit dem n-Kanal-Feldeffekttransistor 18 in Reihe geschalteten) n-Kanal-Feldeffekttransistors 21 (hier: ein n-Kanal-MOSFET 21).

35

Wird, wie oben erläutert, am Ausgang des UND-Gatters 14 ein „logisch hohes“ Signal ausgegeben, wird der n-Kanal-Feldeffekttransistor 18 ein- bzw. durchgeschaltet; die Spannung an der Source des n-Kanal-Feldeffekttransistors 18 ist dann im wesentlichen gleich groß, wie die Spannung an dessen Drain (hier: GROUND-Potential).

Der Drain des n-Kanal-Feldeffekttransistors 21 ist über eine Leitung 22 an die - mit den n-Kanal-Feldeffekttransistoren 18, 21 in Reihe geschaltete - (eigentliche) Taktsignal-Ermittlungs-Einrichtung 2 der Schaltungsanordnung 1 angeschlossen, insbesondere an einen Anschluß 27 eines Differenzverstärkers 24.

Das Gate des n-Kanal-Feldeffekttransistors 21 ist mit einer Leitung 23 verbunden. Wird das DDR-Bauelement in Betrieb genommen (d.h. wechselt das Bauelement von einem Zustand „power off“ auf einen Zustand „power on“), wird veranlasst, dass über die Leitung 23 ein „logisch hohes“ Differenzverstärker-Freigabe-Signal ENdiff an das Gate des n-Kanal-Feldeffekttransistors 21 angelegt wird.

Liegt am Gate des n-Kanal-Feldeffekttransistors 21 ein „logisch hohes“ Differenzverstärker-Freigabe-Signal ENdiff an, wird der n-Kanal-Feldeffekttransistor 21 ein- bzw. durchgeschaltet; die Spannung am Drain des n-Kanal-Feldeffekttransistors 21 - und damit die Spannung am Differenzverstärker-Anschluß 27 - ist dann im wesentlichen gleich groß, wie die Spannung an der Source des n-Kanal-Feldeffekttransistors 21, und damit - bei ebenfalls ein- bzw. durchgeschaltetem n-Kanal-Feldeffekttransistor 18 - im wesentlichen gleich groß, wie die Spannung an der Source des n-Kanal-Feldeffekttransistor 18 (hier: GROUND-Potential).

In diesem Zustand ist der Differenzverstärker 24 bzw. die Taktsignal-Ermittlungs-Einrichtung 2 „freigegeben“, d.h. es wird durch den Differenzverstärker 24 bzw. die Taktsignal-

Ermittlungs-Einrichtung 2 - auf die unten im Detail beschriebene Weise - ein Vergleich zwischen der Spannungshöhe des Taktsignals /CLK bzw. Test-Taktsignals /CLK_T, und der Spannungshöhe einer Referenzspannung VREF durchgeführt.

5

Liegt demgegenüber entweder am Gate des n-Kanal-Feldeffekttransistors 21 und/oder am Gate des n-Kanal-Feldeffekttransistors 18 statt einem „logisch hohem“ ein „logisch niedriges“ Signal an, ist der n-Kanal-Feldeffekttransistor 21 und/oder der n-Kanal-Feldeffekttransistor 18 ausgeschaltet bzw. gesperrt.

10

Aufgrund des dann zwischen dem Drain und der Source des entsprechenden n-Kanal-Feldeffekttransistors 18 bzw. 21 auftretenden Spannungsabfalls liegt dann die Spannung an der Source des n-Kanal-Feldeffekttransistors 21 - und damit die Spannung am Differenzverstärker-Anschluß 27 - (zwangsweise) nicht mehr auf GROUND-Potential.

15

Wie weiter unten genauer erläutert wird, kann in diesem Zustand durch den Differenzverstärker 24 bzw. die Taktsignal-Ermittlungs-Einrichtung 2 kein der Darstellung unten entsprechender Vergleich der Spannungshöhe des Taktsignals /CLK bzw. Test-Taktsignals /CLK_T und der Spannungshöhe der Referenzspannung VREF mehr durchgeführt werden; der Differenzverstärker 24 bzw. die Taktsignal-Ermittlungs-Einrichtung 2 sind dann „gesperrt“.

25

Wie in Figur 1 gezeigt ist, weist der Differenzverstärker 24 zwei - parallelgeschaltete, symmetrische - n-Kanal-Feldeffekttransistoren 25a, 25b (hier: zwei n-Kanal-MOSFETs 25a, 25b) auf, sowie zwei - als aktive Lasten für den Differenzverstärker 24 bzw. die n-Kanal-Feldeffekttransistoren 25a, 25b fungierende - p-Kanal-Feldeffekttransistoren 26a, 26b (hier: zwei p-Kanal-MOSFETs 26a, 26b).

30

35

Die Source des ersten n-Kanal-Feldeffekttransistors 25a des Differenzverstärkers 24 ist über eine Leitung 28a an den Differenzverstärker-Anschluß 27 angeschlossen (und damit an die Source des n-Kanal-Feldeffekttransistors 21).

5

Auf entsprechende, symmetrische Weise ist auch die Source des zweiten n-Kanal-Feldeffekttransistors 25b des Differenzverstärkers 24 mit dem Differenzverstärker-Anschluß 27 verbunden (und damit mit der Source des n-Kanal-Feldeffekttransistors 21), und zwar über eine Leitung 28b.

10

Das Gate des ersten n-Kanal-Feldeffekttransistors 25a ist über eine Leitung 29a mit einem ersten Eingang des Differenzverstärkers 24 verbunden, und das Gate des zweiten n-Kanal-Feldeffekttransistors 25b über eine Leitung 29b mit einem zweiten Differenzverstärker-Eingang.

15

Der zweite Differenzverstärker-Eingang (Leitung 29b) ist über eine Leitung 30 an den zweiten Taktanschluss 3b des DDR-DRAMs angeschlossen (an dem, wie oben erläutert, - im normalen Arbeits-Betriebs-Modus - das o.g. erste, differentielle Taktsignal /CLK anliegt, oder - im Test-Modus - entweder (falls differentielle Test-Taktsignale verwendet werden) das o.g. erste, differentielle Test-Taktsignal /CLK_T, oder (falls ein Einzel-Test-Taktsignal verwendet wird) kein (Test-Takt-) Signal).

20

25

An den ersten Differenzverstärker-Eingang (Leitung 29a) wird die o.g. Referenzspannung VREF angelegt. Diese wird z.B. - mittels eines Spannungsteilers - aus der Versorgungsspannung gewonnen. Die Spannungshöhe der Referenzspannung VREF ist - wie in Figur 2 gezeigt ist - konstant, und kann z.B. ca. die Hälfte der Spannungshöhe der Versorgungsspannung betragen.

30

Demgegenüber wechselt - wie ebenfalls in Figur 2 gezeigt ist - die Spannung des gegebenenfalls am zweiten Differenzverstärker-Eingang (Leitung 29b) anliegenden (Test-)

35

Taktsignals /CLK bzw. /CLK_T in regelmäßigen zeitlichen Abständen zwischen einem Spannungswert von 0V (Erd-Potential), und der Höhe der Versorgungsspannung (d.h. im wesentlichen dem doppelten Wert, wie die Spannungshöhe der Referenzspannung VREF) - bzw. zwischen einem VMf von $-\Delta U_{CLK}$ und $+\Delta U_{CLK}$.

Wieder bezogen auf Figur 1 ist beim Differenzverstärker 24 der Drain des zweiten n-Kanal-Feldeffekttransistors 25b über eine Leitung 31b mit dem Differenzverstärker-Ausgang verbunden, welcher an eine Ausgangs-Leitung 36 angeschlossen ist.

Die beiden Differenzverstärker-Ausgänge (Leitung 31a, und Leitungen 31b bzw. 36) sind - auf an sich bekannte Weise - jeweils mit den oben bereits erwähnten, als aktive Lasten für den Differenzverstärker 24 bzw. die n-Kanal-Feldeffekttransistoren 25a, 25b fungierenden p-Kanal-Feldeffekttransistoren 26a, 26b verbunden.

Dabei ist der Drain des zweiten n-Kanal-Feldeffekttransistors 25b - über eine Leitung 32b an den Drain des zweiten p-Kanal-Feldeffekttransistors 26b angeschlossen.

Auf entsprechende Weise ist der erste Differenzverstärker-Ausgang (Leitung 31a) - und damit der Drain des ersten n-Kanal-Feldeffekttransistors 25a - über eine Leitung 32a an den Drain des ersten p-Kanal-Feldeffekttransistors 26a angeschlossen.

Die Source des zweiten p-Kanal-Feldeffekttransistors 26b ist über eine Leitung 33b und an eine Leitung 33c an die Versorgungsspannung angeschlossen; auf entsprechende Weise ist auch die Source des ersten p-Kanal-Feldeffekttransistors 26a mit der Versorgungsspannung verbunden (und zwar über eine Leitung 33a, welche - ebenfalls - mit der an die

Versorgungsspannung angeschlossen Leitung 33a verbunden ist).

Wie weiter aus Figur 1 ersichtlich ist, sind die Gates der beiden p-Kanal-Feldeffekttransistoren 26a, 26b über eine Leitung 34 miteinander verbunden, und über eine Leitung 35 an die Leitung 32a angeschlossen (und damit an den Drain des ersten p-Kanal-Feldeffekttransistors 26a und den Drain des ersten n-Kanal-Feldeffekttransistors 25a).

Durch die - als aktive, hochohmige Lasten fungierenden (auf die o.g. Weise geschalteten) - p-Kanal-Feldeffekttransistoren 26a, 26b wird erreicht, dass die beiden - symmetrischen - n-Kanal-Feldeffekttransistoren 25a, 25b im Sättigungsbereich betrieben werden.

Je größer der Unterschied zwischen der Höhe der Spannung des an dem zweiten Differenzverstärker-Eingang (Leitung 29b) anliegenden (Test-)Taktsignals /CLK bzw. /CLK_T, und der Höhe der an dem ersten Differenzverstärker-Eingang (Leitung 29a) anliegenden Referenzspannung VREF, desto höher ist der durch den zweiten n-Kanal-Feldeffekttransistor 25b fließende Drain-Strom $I_{D,b}$, und desto geringer ist die Spannung am zweiten Differenzverstärker-Ausgang (Leitung 31b bzw. Ausgangs-Leitung 36).

Wie weiter in Figur 1 gezeigt ist, ist der (zweite) Differenzverstärker-Ausgang (Leitung 31b bzw. Ausgangs-Leitung 36) über eine Leitung 37 an die Source eines weiteren p-Kanal-Feldeffekttransistors 38 angeschlossen, dessen Source über eine Leitung 33d mit der Leitung 33a verbunden ist (und damit über die Leitung 33c mit der Versorgungsspannung), und dessen Gate mit einer Leitung 39 verbunden ist, an der - entsprechend wie am Gate des n-Kanal-Feldeffekttransistor 21 - das o.g. Differenzverstärker-Freigabe-Signal ENdiff anliegt.

Ist - wie z.B. nach der Inbetriebnahme des DDR-Bauelements der Fall - das Differenzverstärker-Freigabe-Signal ENdiff „logisch hoch“, ist der weitere p-Kanal-Feldeffekttransistor 38 ausgeschaltet bzw. gesperrt, d.h. hat keinen Einfluß auf die am zweiten Differenzverstärker-Ausgang - Leitung 31b bzw. Ausgangs-Leitung 36 - anliegende Spannung (stattdessen hängt diese dann, wie oben erläutert, vom Unterschied zwischen der Höhe der Spannung des an dem zweiten Differenzverstärker-Eingang (Leitung 29b) anliegenden (Test-) Taktsignals /CLK bzw. /CLK_T und der Höhe der an dem ersten Differenzverstärker-Eingang (Leitung 29a) anliegenden Referenzspannung VREF ab).

Liegt demgegenüber am Gate des weiteren p-Kanal-Feldeffekttransistors 38 (und dementsprechend auch am Gate des n-Kanal-Feldeffekttransistors 21) statt einem „logisch hohem“ ein „logisch niedriges“ Signal an, wird der p-Kanal-Feldeffekttransistor 38 ein- bzw. durchgeschaltet (und dementsprechend der n-Kanal-Feldeffekttransistor 21 ausgeschaltet bzw. gesperrt). Die Spannung am zweiten Differenzverstärker-Ausgang (Leitung 31b bzw. Ausgangs-Leitung 36) wird dann (zwangsweise) auf Versorgungsspannungss-Potential gezogen. Die am zweiten Differenzverstärker-Ausgang anliegende Spannung hängt dann nicht mehr vom Unterschied zwischen der Höhe der Spannung des an dem zweiten Differenzverstärker-Eingang (Leitung 29b) anliegenden (Test-) Taktsignals /CLK bzw. /CLK_T und der Höhe der an dem ersten Differenzverstärker-Eingang (Leitung 29a) anliegenden Referenzspannung VREF ab; der Differenzverstärker 24 bzw. die Taktsignal-Ermittlungs-Einrichtung 2 sind „gesperrt“.

Wie in Figur 1 weiter gezeigt ist, ist der zweite Differenzverstärker-Ausgang (Leitung 31b bzw. Ausgangs-Leitung 36) über eine Leitung 40 an den Eingang eines Inverter-Verstärkers 41 angeschlossen. Der Ausgang des Inverter-Verstärkers 41 ist über eine Leitung 42 an eine

Leitung 43 angeschlossen, die mit dem Eingang der Zähl-Einrichtung 7 verbunden ist.

Des weiteren ist die mit dem Inverter-Verstärker-Ausgang
5 verbundene Leitung 42 - über eine Leitung 44a - mit einem
weiteren Inverter-Verstärker 46 verbunden, der - über eine
Leitung 44b - mit der Leitung 40 verbunden ist (und damit mit
dem Eingang des Inverter-Verstärkers 41). Der Ausgang des
Inverter-Verstärkers 41 ist also - unter Zwischenschaltung
10 des weiteren Inverter-Verstärkers 46 - an den Inverter-
Verstärker-Eingang rückgekoppelt.

Jeder der Inverter-Verstärker 41, 46 besteht aus jeweils
einem n- und einem p-Kanal-Feldeffekttransistor, wobei die
15 Source des jeweiligen n-Kanal-Feldeffekttransistors jeweils
an die Erde angeschlossen ist, und die Source des jeweiligen
p-Kanal-Feldeffekttransistors jeweils an die
Versorgungsspannung.

20 Die in den Inverter-Verstärkern 41, 46 verwendeten
Feldeffekttransistoren arbeiten also jeweils in Source-
Schaltung, und verstärken die am jeweiligen Inverter-Eingang
anliegende Eingangsspannung invertierend, wobei jeweils der
eine Feldeffekttransistor eines Inverter-Verstärkers 41, 46
25 den Arbeitswiderstand für den jeweils anderen
Feldeffekttransistor darstellt.

Durch die o.g. Rückkopplung - und eine entsprechende
Dimensionierung des weiteren Inverter-Verstärkers 46 - wird
30 hier (auf an sich bekannte Weise) erreicht, dass der Ein- und
der Ausschalt-Spannungspegel des Inverter-Verstärkers 41 bzw.
des Differenzverstärkers 24 in Abhängigkeit von /CLK nicht
zusammenfallen, sondern um eine Inverter-Verstärker-
Schalthysterese ΔU_e verschieden sind:

35 Erst dann, wenn die Höhe der Spannung am zweiten
Differenzverstärker-Eingang 29b (/CLK) unter einen Wert $U_{e,aus}$

absinkt, wird der Inverter-Verstärker 41 „umgeschaltet“; am Ausgang des Inverter-Verstärkers 41 liegt dann z.B. ein „logisch niedriges“ Signal an (hier: das Erde-Potential).

- 5 Demgegenüber wird erst dann, wenn die Höhe der /CLK-Spannung über einen Wert $U_{e, \text{ein}}$ ansteigt (und nicht bereits bei dem Wert $U_{e, \text{aus}}$), der Inverter-Verstärker (wieder) „umgeschaltet“; am Ausgang des Inverter-Verstärkers 41 liegt dann z.B. ein „logisch hohes“ Signal an (hier: das Versorgungsspannungs-
10 Potential). Dabei ist $U_{e, \text{aus}}$ kleiner als $U_{e, \text{ein}}$, d.h. es gilt $U_{e, \text{aus}} - U_{e, \text{ein}} = \Delta U_e$ (Schalthysterese des Differenzverstärkers 24).

- Damit ergeben sich insgesamt - wie in Figur 2 veranschaulicht
15 ist - für die Taktsignal-Ermittlungs-Einrichtung 2 in Bezug auf die Höhe der Spannung des an dem zweiten Differenzverstärker-Eingang (Leitung 29b) anliegenden (Test-) Taktsignals /CLK bzw. /CLK_T, und die Höhe der an dem ersten Differenzverstärker-Eingang (Leitung 29a) anliegenden
20 Referenzspannung VREF, sowie die - hieraus resultierende - Höhe der Spannung am Ausgang des Inverter-Verstärkers 41 - unterschiedliche - obere und untere Schalt-Punkte (Taktsignal-Ermittlungs-Einrichtung-Schalthysterese ΔU_{total}):

- 25 Erst dann, wenn die Höhe der Spannung des an dem zweiten Differenzverstärker-Eingang (Leitung 29b) anliegenden (Test-) Taktsignals /CLK bzw. /CLK_T größer ist, als die Höhe der an dem ersten Differenzverstärker-Eingang (Leitung 29a) anliegenden Referenzspannung VREF, zuzüglich einer Hysterese
30 ΔU_1 (d.h. erst wenn gilt

$$/CLK > (VREF + \Delta U_1)$$

- (bzw. /CLK_T > (VREF + ΔU_1)), wird der Inverter-Verstärker 41
35 „ausgeschaltet“ (am Ausgang des Inverter-Verstärkers 41 liegt dann ein „logisch hohes“ Signal an).

Demgegenüber wird erst dann, wenn die Höhe der Spannung des an dem zweiten Differenzverstärker-Eingang (Leitung 29b) anliegenden (Test-) Taktsignals $/CLK$ bzw. $/CLK_T$ (wieder) kleiner ist, als die Höhe der an dem ersten

- 5 Differenzverstärker-Eingang (Leitung 29a) anliegenden Referenzspannung V_{REF} , abzüglich einer Hysterese ΔU_2 (d.h. erst wenn gilt

$$/CLK < (V_{REF} - \Delta U_2)$$

10

(bzw. $/CLK_T < (V_{REF} - \Delta U_2)$), der Inverter-Verstärker 41 (wieder) „eingeschaltet“ (am Ausgang des Inverter-Verstärkers 41 liegt dann ein „logisch niedriges“ Signal an).

- 15 Dabei gilt für die o.g. (Gesamt-)Schalthystere der Taktsignal-Ermittlungs-Einrichtung 2:

$$\Delta U_{total} = (V_{REF} + \Delta U_1) - (V_{REF} - \Delta U_2)$$

- 20 Wie bereits oben erläutert, wird das am Ausgang des Inverter-Verstärkers 41 anliegende Signal über die Leitungen 42, 43 an den Eingang der Zähl-Einrichtung 7 angelegt.

- 25 Jedesmal dann, wenn das auf den Leitungen 42, 43 anliegende Signal seinen Zustand von zunächst „logisch niedrig“ auf „logisch hoch“, und dann wieder zurück auf „logisch niedrig“ ändert, erhöht sich gemäß Figur 2 der – wie oben erwähnt bei Inbetriebnahme des DDR-Bauelements zunächst auf einen Zählstand Z von „Null“ (d.h. einen Zählstands-Anfangs-Wert Z_0 = 0) zurückgesetzte – Zählstand Z der Zähl-Einrichtung 7 um „Eins“ (d.h. bei der ersten negativen Taktflanke des (Test-) Taktsignals $/CLK$ bzw. $/CLK_T$ wechselt der Zählstand Z von „Null“ auf „Eins“, bei der nächsten negativen Taktflanke des (Test-) Taktsignals $/CLK$ bzw. $/CLK_T$ von „Eins“ auf „Zwei“,
35 etc.)

Durch die oben erläuterte Hysterese ΔU_{total} der Taktsignal-Ermittlungs-Einrichtung 2 wird verhindert, dass bereits bei lediglich auf Störungen beruhenden, relativ kleinen Schwankungen zwischen der Höhe der Spannung des (Test-) Taktsignals /CLK bzw. /CLK_T und der Höhe der an dem ersten Differenzverstärker-Eingang (Leitung 29a) anliegenden Referenzspannung VREF der Inverter-Verstärker 41 - fälschlicherweise - umgeschaltet, und - fälschlicherweise - der Zählstand Z der Zähl-Einrichtung 7 erhöht wird.

Wie bereits oben erläutert, gibt die Zähl-Einrichtung 7 zunächst (z.B. bei einem Zählstand Z von „Null“ (d.h. beim Zählstands-Anfangs-Wert $Z_0 = 0$)) ein „logisch niedriges“ Signal am Ausgang der Zähl-Einrichtung 7 aus. Erst dann, wenn der Zählstand Z einen vorbestimmten Zählstands-Wert Z_{vor} erreicht, gibt die Zähl-Einrichtung 7 - statt einem „logisch niedrigen“ - ein „logisch hohes“ Signal aus, so dass dann auch das Signal OUTPUT am Ausgang 10 der Schaltungsanordnung 1 seinen Zustand von „logisch niedrig“ auf „logisch hoch“ wechselt.

Der vorbestimmten Zählstands-Wert Z_{vor} , bei welchem das am Ausgang der Zähl-Einrichtung 7 ausgegebene Signal seinen Zustand von „logisch niedrig“ auf „logisch hoch“ wechselt, kann z.B. zwischen „zwei“ und „vierundsechzig“ liegen (d.h. $2 < Z_{\text{vor}} < 64$), insbesondere zwischen „acht“ und „zweiunddreißig“ (d.h. $8 < Z_{\text{vor}} < 32$), z.B. gleich „sechzehn“ sein (d.h. $Z_{\text{vor}} = 16$).

Jedesmal dann, wenn der Zählstand Z um „eins“ erhöht wird, wird davon ausgegangen, dass - wie in Figur 2 gezeigt ist - ein (weiterer) Einzel-Takt S1, S2, S3, S4 eines am zweiten Taktanschluss 3b anliegenden (Test-) Taktsignals /CLK bzw. /CLK_T ermittelt worden ist.

Erreicht der Zählstand Z den o.g. vorbestimmten Zählstands-Wert Z_{vor} (ist also - wahrscheinlich - eine relativ hohe Zahl

(hier z.B. $Z_{\text{vor}} = 16$) an Einzel-Takten S1, S2, S3, S4 ermittelt worden), wird davon ausgegangen, dass am zweiten Taktanschluss 3b das (Test-) Taktsignal /CLK bzw. /CLK_T anliegt (und damit am Bauelement insgesamt - insbesondere an dessen Taktanschlüssen 3a, 3b - differentielle Taktsignale (insbesondere das o.g. Takt- bzw. Test-Taktsignal CLK bzw. CLK_T am ersten Taktanschluss 3a, und das o.g. - hierzu inverse - Takt- bzw. Test-Taktsignal /CLK bzw. /CLK_T am zweiten Taktanschluss 3b)).

Dies wird - wie erläutert - dadurch angezeigt, dass das Signal OUTPUT am Ausgang 10 der Schaltungsanordnung 1 einen „logisch hohen“ Zustand einnimmt.

Bleibt demgegenüber der Zählstand Z der Zähl-Einrichtung 7 beim Zählstands-Anfangs-Wert $Z_0 = 0$, oder bleibt der Zählstand Z unter dem vorbestimmten Zählstands-Wert Z_{vor} , wird davon ausgegangen, dass am zweiten Taktanschluss 3b kein (Test-) Taktsignal /CLK bzw. /CLK_T anliegt (und damit am Bauelement insgesamt ein Einzel-Taktsignal (insbesondere - am ersten Taktanschluss 3a - das o.g. Einzel-Takt- bzw. Einzel-Test-Taktsignal CLK bzw. CLK_T)).

Abhängig davon, ob ermittelt wird, dass ein Einzel-Takt- bzw. Einzel-Test-Taktsignal, oder differentielle Takt- bzw. Test-Taktsignale am Bauelement anliegen, kann z.B. eine speziell für Einzel-Taktsignale oder eine hiervon unterschiedliche speziell für differentielle Taktsignale ausgelegte Takt-Weiterleitungs-Einrichtung verwendet werden, die (über entsprechende Leitungen 45a, 45b) die entsprechenden, am ersten Taktanschluss 3a, oder am ersten und am zweiten Taktanschluss 3a, 3b anliegenden Taktsignale empfängt, und (- z.B. entsprechend re-timed, re-shaped und re-amplified -) an weitere im Bauelement vorgesehene Schalt-Einrichtungen weiterleitet.

Wird - wie oben erläutert, nachdem ermittelt wurde, dass am Bauelement differentielle Taktsignale anliegen - von der Zähl-Einrichtung 7 ein „logisch hohes“ Signal ausgegeben, wird dieses über die Leitungen 9 und 11 an den Eingang des Inverters 12 weitergeleitet.

Der Inverter 12 gibt dann an seinem Ausgang ein invertiertes, d.h. „logisch niedriges“ Signal /OUTPUT aus.

- 10 Dieses „logisch niedrige“ Signal /OUTPUT wird über die Leitung 13 an den ersten Eingang des UND-Schalt-Glieds 14 angelegt, an dessen Ausgang (d.h. an der Leitung 15) dann ein „logisch niedriges“ Signal ausgegeben, und an das Gate des n-Kanal-Feldeffekttransistors 18 gelegt. Hierdurch wird der n-Kanal-Feldeffekttransistor 18 aus- bzw. abgeschaltet (d.h. nicht-leitend) - der Differenzverstärker 24 bzw. die Taktsignal-Ermittlungs-Einrichtung 2 sind dann - entsprechend wie oben erläutert - „gesperrt“ bzw. abgeschaltet.
- 15
- 20 Dadurch wird verhindert, dass im normalen Betriebs-Modus - d.h. beim Anliegen differentieller Taktsignale - ein unnötig hoher Stromverbrauch auftritt.

Patentansprüche

1. Schaltungsanordnung (1), welche mindestens einen Anschluß (3b) aufweist, an welchen ein Taktsignal (/CLK, /CLK_T) angelegt werden kann,
5 d a d u r c h g e k e n n z e i c h n e t, dass die Schaltungsanordnung (1) außerdem eine Taktsignal-Ermittlungseinrichtung (2) aufweist zum Ermitteln, ob am Anschluß (3b) ein Taktsignal (/CLK, /CLK_T) anliegt.
10
2. Schaltungsanordnung (1), welche mindestens einen weiteren Anschluß (3a) aufweist, an welchen ein weiteres Taktsignal (CLK, CLK_T) angelegt werden kann, wobei durch das Ermitteln, ob am Anschluß (3b) ein Taktsignal (/CLK, /CLK_T)
15 anliegt, ermittelt wird, ob an den Anschlüssen (3a, 3b) differentielle Taktsignale (CLK, CLK_T; /CLK, /CLK_T) anliegen, oder - am weiteren Anschluß (3a), nicht aber am Anschluß (3b) - ein Einzel-Taktsignal (CLK, CLK_T).
- 20 3. Schaltungsanordnung (1) nach Anspruch 1 oder 2, welche eine Vergleichs-Einrichtung (24) aufweist zum Vergleich des am Anschluß (3b) anliegenden Signals, insbesondere des dort anliegenden Taktsignals (/CLK, /CLK_T), mit einem Referenzsignal (VREF).
- 25 4. Schaltungsanordnung (1) nach Anspruch 3, bei welcher die Vergleichs-Einrichtung (24) einen Differenzverstärker umfaßt.
- 30 5. Schaltungsanordnung (1) nach Anspruch 3 oder 4, bei welcher dann von der Vergleichs-Einrichtung (24) ein Impuls-, insbesondere ein Taktimpuls-Ermittlungssignal ausgegeben wird, wenn der Pegel des am Anschluß (3b) anliegenden Signals einen vorbestimmten Pegel, insbesondere den Pegel des Referenzsignals (VREF) übersteigt, oder unterschreitet.
35
6. Schaltungsanordnung (1) nach einem der Ansprüche 3 bis 5, bei welcher von der Vergleichs-Einrichtung (24) dann ein

Impuls-, insbesondere ein Taktimpuls-Ermittlungssignal ausgegeben wird, wenn der Pegel des am Anschluß (3b) anliegenden Signals zunächst einen vorbestimmten, ersten Pegel ($VREF + \Delta U_1$) übersteigt, und dann einen vorbestimmten, zweiten, vom ersten Pegel unterschiedlichen Pegel ($VREF - \Delta U_2$) unterschreitet.

7. Schaltungsanordnung (1) nach einem der Ansprüche 3 bis 5, bei welcher von der Vergleichs-Einrichtung (24) dann ein Impuls-, insbesondere ein Taktimpuls-Ermittlungssignal ausgegeben wird, wenn der Pegel des am Anschluß (3b) anliegenden Signals zunächst einen vorbestimmten, ersten Pegel unterschreitet, und dann einen vorbestimmten, zweiten, vom ersten Pegel unterschiedlichen Pegel übersteigt.

8. Schaltungsanordnung (1) nach einem der vorhergehenden Ansprüche, welche zusätzlich eine Zähl-Einrichtung (7) aufweist, insbesondere zum Ermitteln der Anzahl der von der Vergleichs-Einrichtung (24) ausgegebenen Impuls-, insbesondere Taktimpuls-Ermittlungssignale.

9. Schaltungsanordnung (1) nach Anspruch 8, bei welcher dann, wenn die von der Zähl-Einrichtung (7) ermittelte Anzahl (Z) der von der Vergleichs-Einrichtung (24) ausgegebenen Impuls-, insbesondere Taktimpuls-Ermittlungssignale größer oder gleich einer vorbestimmten Anzahl (Z_0) ist, ermittelt wird, dass am Anschluß (3b) ein Taktsignal ($/CLK$, $/CLK_T$) anliegt.

10. Halbleiter-Bauelement, welches mindestens eine Schaltungsanordnung (1) nach einem der Ansprüche 1 bis 9 aufweist.

11. Halbleiter-Bauelement nach Anspruch 10, welches ein DDR- (Double Data Rate) Bauelement ist, insbesondere ein DDR-Speicherbauelement.

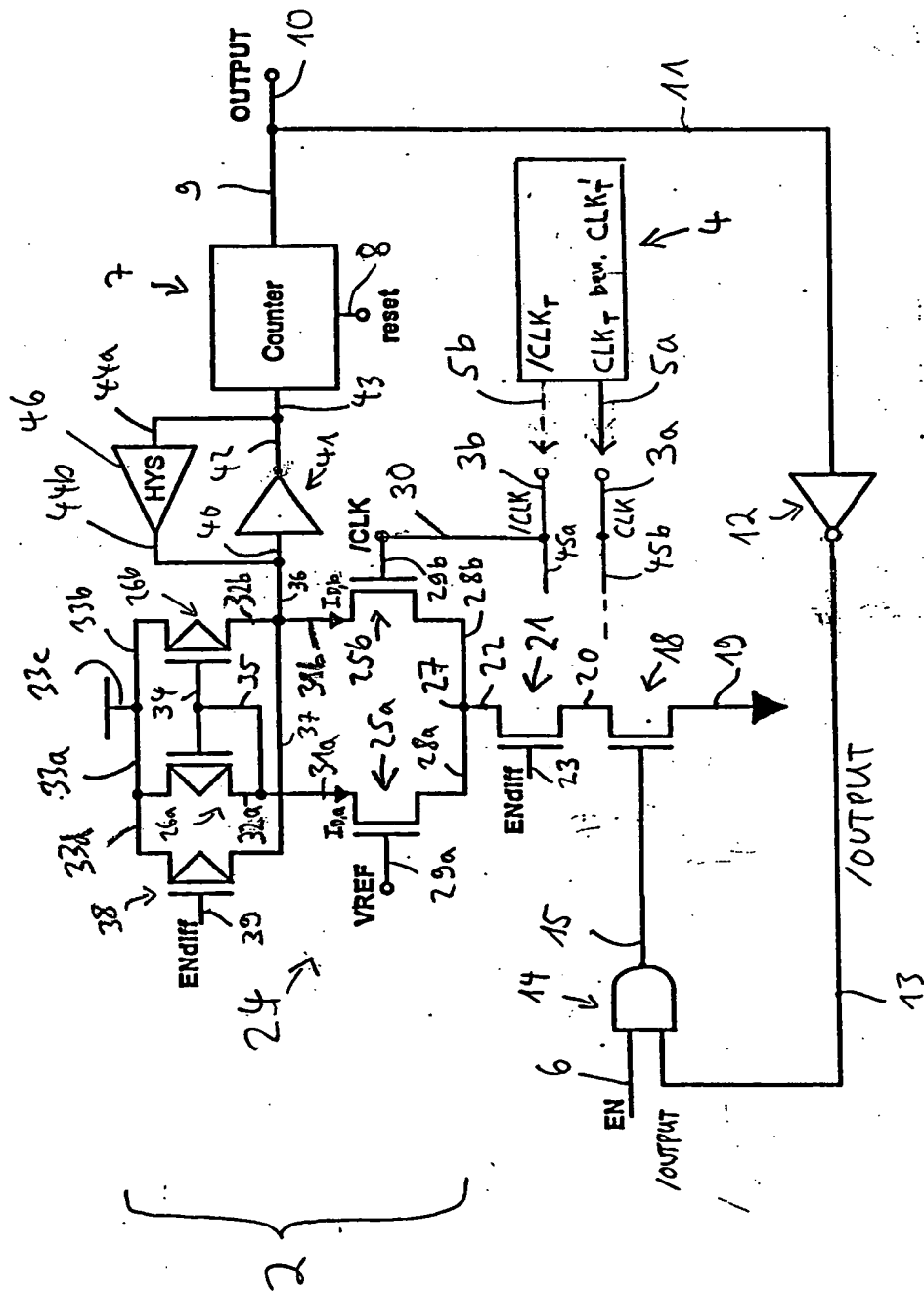
12. Halbleiter-Bauelement nach Anspruch 10, bei welchem das Speicherbauelement ein DRAM (Dynamic Random Access Memory) ist.

Zusammenfassung

Schaltungsanordnung mit Taktsignal-Ermittlungs-Einrichtung

- 5 Die Erfindung betrifft eine Schaltungsanordnung (1), welche mindestens einen Anschluß (3b) aufweist, an welchen ein Taktsignal (/CLK, /CLK_T) angelegt werden kann, wobei die Schaltungsanordnung (1) außerdem eine Taktsignal-Ermittlungs-Einrichtung (2) aufweist zum Ermitteln, ob am Anschluß (3b)
- 10 ein Taktsignal (/CLK, /CLK_T) anliegt, oder ob am Anschluß (3b) kein Taktsignal (/CLK, /CLK_T) anliegt.

- Figur 1 -



Bezugszeichen

	1	Schaltungsanordnung
	2	Taktsignal-Ermittlungs-Einrichtung
5	3a	Taktanschluss
	3b	Taktanschluss
	4	Testgerät
	5a	Leitung
	5b	Leitung
10	6	Leitung
	7	Zähl-Einrichtung
	8	Leitung
	9	Leitung
	10	Ausgang
15	11	Leitung
	12	Inverter
	13	Leitung
	14	UND-Schalt-Glied
	15	Leitung
20	16	Inverter
	17	Leitung
	18	n-Kanal-Feldeffekttransistor
	19	Leitung
	20	Leitung
25	21	n-Kanal-Feldeffekttransistor
	22	Leitung
	23	Leitung
	24	Differenzverstärker
	25a	n-Kanal-Feldeffekttransistor
30	25b	n-Kanal-Feldeffekttransistor
	26a	p-Kanal-Feldeffekttransistor
	26b	p-Kanal-Feldeffekttransistor
	27	Differenzverstärker-Anschluß
	28a	Leitung
35	28b	Leitung
	29a	Leitung
	29b	Leitung

	30	Leitung
	31a	Leitung
	31b	Leitung
	32a	Leitung
5	32b	Leitung
	33a	Leitung
	33b	Leitung
	33c	Leitung
	33d	Leitung
10	34	Leitung
	35	Leitung
	36	Ausgangs-Leitung
	37	Leitung
	38	p-Kanal-Feldeffekttransistor
15	39	Leitung
	40	Leitung
	41	Verstärker
	42	Leitung
	43	Leitung
20	44a	Leitung
	44b	Leitung
	45a	Leitung
	45b	Leitung
	46	Verstärker

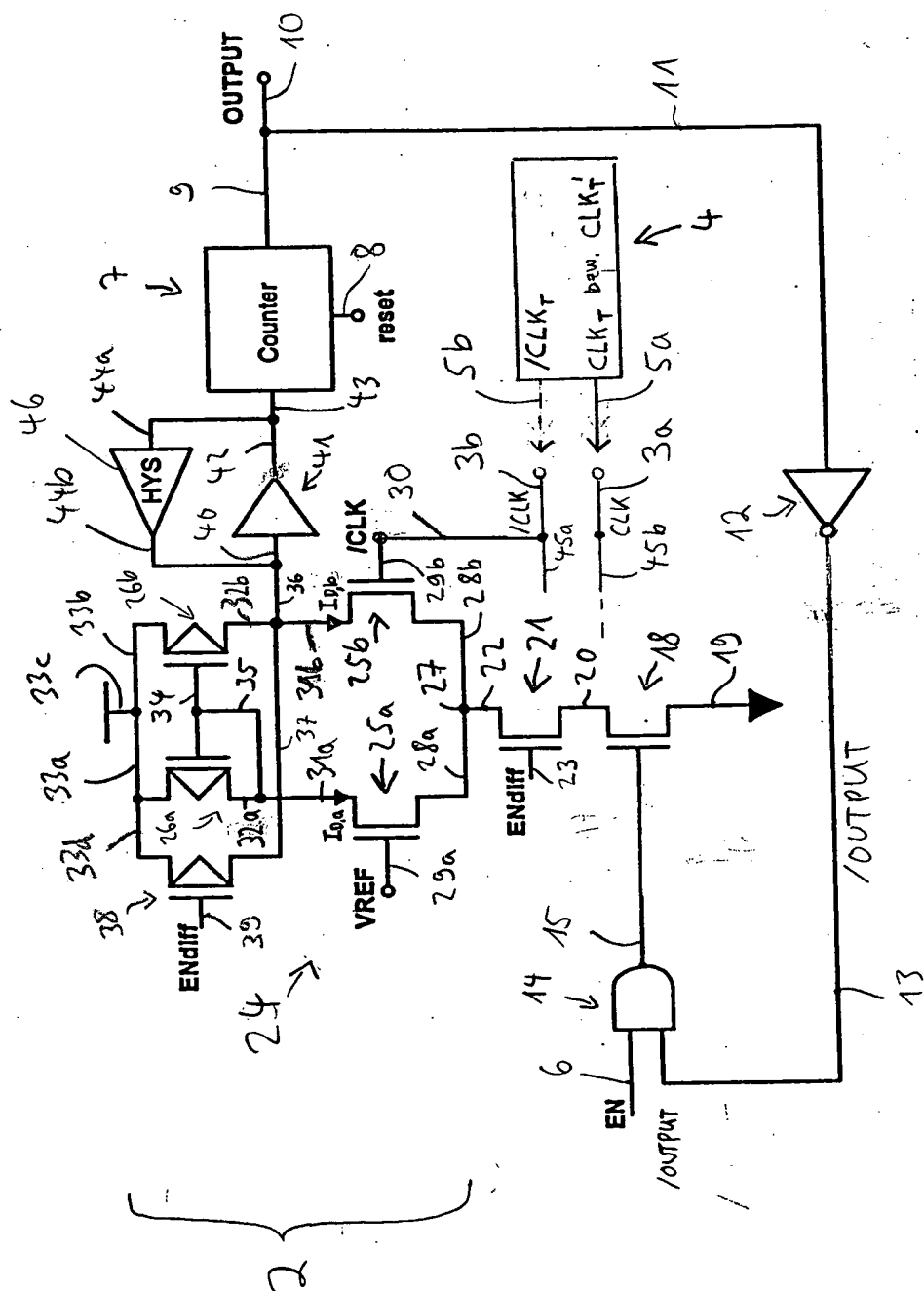


Fig. 1

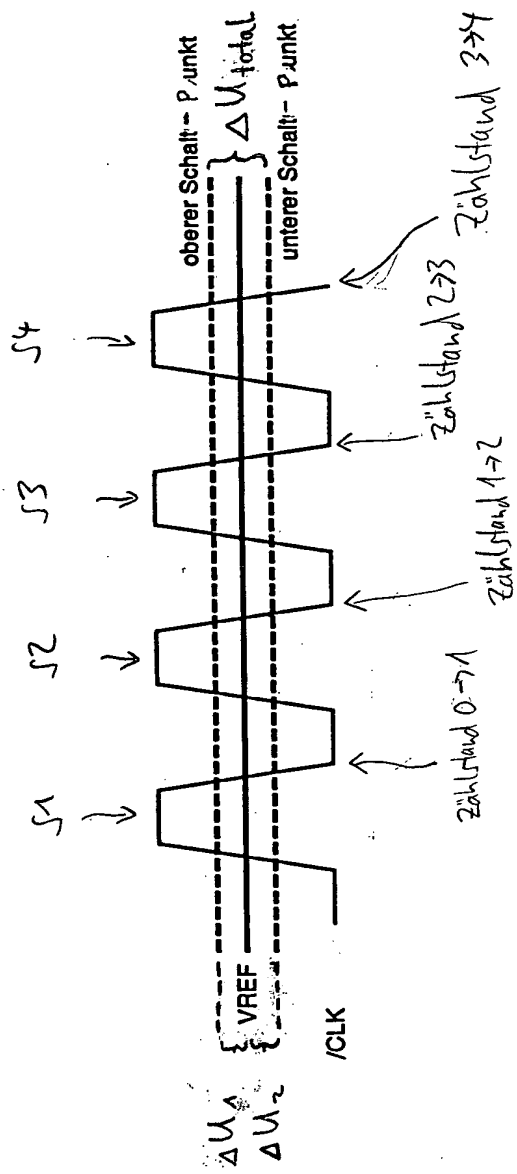


Fig. 2